

(12) NACH DEM VERTRÄG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
20. November 2003 (20.11.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/096184 A2

(51) Internationale Patentklassifikation*: G06F 9/38

(21) Internationales Aktenzeichen: PCT/DE03/01540

(22) Internationales Anmeldedatum:
13. Mai 2003 (13.05.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 21 530.8 14. Mai 2002 (14.05.2002) DE(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): PHILIPS SEMICONDUCTORS DRESDEN AG
[DE/DE]; Am Waldschlößchen 1, 01099 Dresden (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): DRESCHER, Wolfram [DE/DE]; Alainplatz 2, 01099 Dresden (DE). PORST, Uwe [DE/DE]; Rudolfstrasse 30, 01099 Dresden (DE).

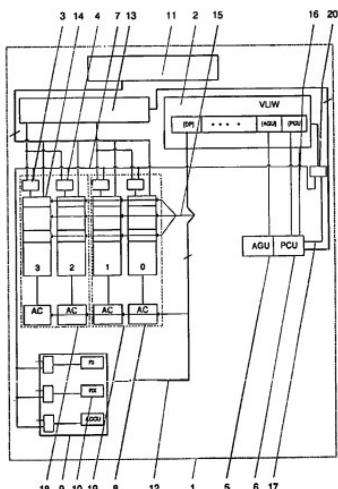
(74) Anwalt: ADLER, Peter, Patentanwälte Lippert, Stachow, Schmidt & Partner, Krenkelstraße 3, 01309 Dresden (DE).

(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV; MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND ARRANGEMENT FOR POWER EFFICIENT CONTROL OF PROCESSORS

(54) Bezeichnung: VERFAHREN UND ANORDNUNG ZUR LEISTUNGSSEFFIZIENTEN STEUERUNG VON PROZESSOREN



WO 03/096184 A2

parallele

(57) **Abstract:** The invention relates to a method for the functional control of program and/or data flows in digital signal processors and processors which have respective closed and separated modules for program and data flow control, working in parallel with computers. The aim of the invention is to carry out a power-efficient adaptation of the signal process with the applied SIMD command-type in the individual paths and minimize the emergence of the appearance of NOP-commands with which the VLIW-architecture of the processor must be supplied. This is achieved by individually controlling the parallel signal processing of the processor in the data paths (DP) which respectively belong to the first and second slice. This is carried out by causing a single slice halt output from an SSM register bank to switch the register clockline according to state-dependent signal processing.

(57) **Zusammenfassung:** Die Erfindung betrifft ein Verfahren zur funktionalen Steuerung des Programm- und/oder Datenflusses in digitalen Signalprozessoren und Prozessoren mit jeweils abgeschlossenen und voneinander getrennten Modulen zur Programm- und zur Datenflusskontrolle, die in parallelen Rechenwerken arbeiten. Die erfindungsgemäße Aufgabenstellung, eine leistungseffiziente individuelle Anpassung der Signalerarbeitung bei der angewandten Befehlsart SIMD in den einzelnen Datenpfaden zu realisieren und das Aufkommen an NOP-Befehlen, mit denen die VLIW-Architektur des Prozessors versorgt werden muss, zu minimieren, geschieht dadurch, dass infolge der von der PCU umgesetzten SIMD Befehle die

[Fortsetzung auf der nächsten Seite]



SE, SG, SK, SL, TI, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) Bestimmungsstaaten (*regional*): ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TI, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

**Verfahren und Anordnung zur leistungseffizienten Steuerung
von Prozessoren**

10 Die Erfindung betrifft ein Verfahren zur funktionalen Steuerung des Programm- und/oder Datenflusses in digitalen Signalprozessoren und Prozessoren mit jeweils abgeschlossenen und von-einander getrennten Modulen zur Programm- und zur Datenflusskontrolle, die in parallelen Rechenwerken arbeiten.

15 Bei den digitalen Signal-Prozessoren (DSP) bekommen zunehmend Prozessoren Bedeutung, bei denen ihre Architektur eine Slice-Struktur aufweist. Hierbei werden Datenpfade zu Slices zusammengefasst, wobei in einem ersten Slice eine Signalverarbeitung 20 unabhängig von der in einem zweiten Slice parallel ablaufenden Signalverarbeitung abgearbeitet wird.

Wird in den parallelen Rechenwerken dieser digitalen Signalprozessoren in der Befehlsart SIMD gearbeitet, ergibt sich beim 25 Stand der Technik das Problem, dass oftmals die dabei angewendeten Algorithmen nicht zur parallelen Signalverarbeitung in allen Slices geeignet sind.

So lassen sich beispielsweise bei der Signalverarbeitung in den 30 einzelnen Slices, bedingt durch die jeweils dort angewendeten unterschiedlichen Algorithmen, die anfallenden Ergebnisse meist nur zu unterschiedlichen Zeitpunkten bzw. nach einer unterschiedlichen Anzahl von Prozessortakten im jeweiligen Slice bereitstellen.

Das Regime der mit den anderen SIMD Slices konformen Befehlsabarbeitung kann entweder gar nicht oder nur mit hohem Aufwand durchgesetzt werden.

- 5 Dieser erforderlich hohe Aufwand fällt einerseits softwaremäßig als zusätzliche abzuarbeitende Programme, die die unterschiedlichen Wartezeiten für die Slices organisieren an, um die parallele Bereitstellung der Ergebnisse zu realisieren.
- 10 Anderseits tritt dieser hohe Aufwand in der Hardware als starke Prozessor- und Speicherauslastung auf, die die Prozessorleistungsfähigkeit vermindert. Diese Verminderung kann z.B. durch eine Speichererweiterung abgewendet werden, was jedoch eine Vergrößerung des Hardwareaufwandes bedeutet.
- 15 Beim Stand der Technik erweist es sich als Nachteil, dass zur notwendigen Anpassung der Algorithmen an die Befehlsart SIMD bei der Signalverarbeitung, vornehmlich in den Slices mit ihren zugehörigen Datenpfaden, diese Slices und weitere zugehörige 20 VLIW-Architektur des Prozessors in erheblichem Umfang mit No-operation-Befehlen (NOP) versorgt werden müssen.
Auf diese Weise wird die leistungssteigernde Effekte der Anwendung der SIMD-Befehlsart nicht nur unwirksam gemacht, sondern 25 es ist darüber hinaus zur Algorithmen-Anpassung zusätzlicher hardware- und softwaremäßiger Aufwand notwendig.
- 30 Somit besteht die erfindungsgemäße Aufgabenstellung darin, eine leistungseffiziente individuelle Anpassung der Signalverarbeitung bei der angewandten Befehlsart SIMD in den einzelnen Datenpfaden zu realisieren und insbesondere das Aufkommen an NOP-Befehlen, mit denen die VLIW-Architektur des Prozessors versorgt werden muss, zu minimieren.
- 35 Die erfindungsgemäße Lösung der Aufgabenstellung wird dadurch erreicht, dass die infolge der von der PCU umgesetzten SIMD-

Befehle parallele Signalverarbeitung des Prozessors in einem jeweiligen Datenpfad (DP) eines ersten und zweiten Slice durch ein von einer SSM-Registerbank je Slice ausgegebenen "Single-Slice-Halt"-Zustand individuell gesteuert wird.

5

Hierbei wird die steuernde Wirkung des ausgegebenen "Single-Slice-Halt"-Zustandes dadurch erreicht, dass die für den ersten und zweiten Slice zugeordneten Bits der SSM-Registerbank über die jeweils zugehörige erste und zweite Gated-Clock-Zelle die 10 Register-Taktversorgung schalten.

Dadurch wird das zugehörige Eingangsregister und/oder Akkumulator und/oder Pipeline-Steuerregister je nach dem Stand der in dem Slice des Datenpfades anfallenden Signalverarbeitung zwischenzeitlich gestoppt.
15

Erst durch den Wegfall des ausgegebenen "Single-Slice-Halt"-Zustandes wird diese Funktion bei einer Umsetzung eines weiteren SIMD Befehles freigegeben.

20

Unabhängig vom ausgegebenen "Single-Slice-Halt"-Zustand bleiben die Register-File-Einheit (RFU) und das Speicherzugriffsregister des Prozessors in Funktion. Die SSM-Registerbank der PCU ist dabei jederzeit durch die PCU beschreibbar.

25

Diese Lösung zielt darauf ab, dass in den Slices der Datenpfade des Prozessors entsprechend der Befehlsart SIMD parallel mit den einzelnen Berechnungen begonnen wird.

30

Aber durch die unterschiedlichen Berechnungsabläufe erfolgt die Bereitstellung der Zwischen- und/oder Endergebnisse in den Slices zu unterschiedlichen Zeitpunkten in den Pipeline-Steuerregistern, Akkumulatoren bzw. Ergebnisregistern der zugehörigen Datenpfade.

35

Somit wird nach der Bereitstellung der Zwischen- und/oder End-

ergebniswerte eine weitere Signalverarbeitung in den zu den einzelnen Slices zugehörigen Datenpfaden, die nicht mehr ergebnisträchtig ist, unterbunden.

- 5 Die Signalverarbeitung wird parallel in allen Datenpfaden der Slices fortgesetzt, wenn begonnen wird, einen weiteren SIMD-Befehl abzuarbeiten.

Eine ergänzende Ausführung der erfindungsgemäßen Lösung der
10 Aufgabenstellung besteht darin, dass die Taktversorgung für die VLIW-Einheit durch eine softwarebedingte Zustandsausgabe aus dem Programmfluss des Prozessors so gesteuert wird, dass dadurch Teilinstruktionsworte, die in der VLIW-Einheit aktuell vorliegen, in dieser anschließend für eine Mehrfachverwendung
15 an den Funktionseinheiten bereitgestellt werden.

Diese erfindungsgemäße Lösung wird vorteilhaft wirksam, falls es eine notwendige Algorithmen-Anpassung an die SIMD-Befehlsart bei der Signalverarbeitung erforderlich macht, dass die Daten-
20 pfade bzw. die zugehörige VLIW-Architektur des Prozessors mit Nö-Operation-Befehlen (NOP) oder ähnlichen Befehlen mit hoher Wiederholrate versorgt werden müssen. Dabei werden durch die vermiedene Generierung von gleichen VLIW der Speicherplatzverbrauch reduziert und die Rechenbelastung des Prozessors ge-
25 ring gehalten, so dass die Rechenleistung effizient für die wichtigen Berechnungen zur Verfügung steht.

Eine vorteilhafte Variante der ergänzenden Ausführung der erfindungsgemäßen Lösung besteht darin, dass das Generieren von
30 weiteren VILW in der VLIW-Einheit dadurch unterbrochen wird, indem der PCU ein VLIW-WAIT-Kommando über eine Vorsignalleitung angekündigt wird und im nächsten Takt dieses Kommando an die PCU angelegt wird, wobei nachfolgend die PCU mittels einer "VLIW-WAIT"-Signalleitung und einer dritten Gated Clock-Zelle
35 die Taktversorgung für die VLIW-Einheit schaltet.

Diese Lösung zielt darauf ab, dass Debug-Routinen bei Software-prüfungen realisiert werden können, indem Software-Break-Points im Programmcode gesetzt und angefahren werden können.

- 5 Die Erfindung soll nachfolgend anhand eines Ausführungsbeispies für die Ausgabe eines Single-Slice-Halt-Zustandes näher erläutert werden. In der Zeichnungsfigur liegt ein Blockschaltbild des Prozessors vor, in dem die Teile mit den zugehörigen Funktionseinheiten aufgeführt werden, welche die erfindungsge-
10 mäße Lösung betreffen.

Für den Fall, dass die Ausgabe des "Single-Slice-Halt"-Zustandes wirkt, ist es Voraussetzung, dass ein SIMD-Befehl über den SIMD-Steuer-Bus 12 von der VLIW-Einheit 2 ausgegeben wird. Dieser einzelne SIMD-Befehl löst eine mehrfache Datenverarbeitung in dem jeweiligen Datenpfad 14 des ersten und zweiten Slice 18; 19 aus.

Die Ergebnisse werden in dem zugehörigen Akkumulator 8 zu unterschiedlichen Zeitpunkten bereitgestellt. Hierbei wird ein jeweils zum ersten und zweiten Slice 18; 19 zugeordnetes Bit der SSM-Registerbank 13 gesetzt.
20

Die Signalbelegung dieses Bits wird an den zum ersten und zweiten Slice 18; 19 jeweils zugehörigen Datenpfad 14 über die erste und/oder zweite Gated-Clock-Zelle 3; 4 zugeführt und steuert die Signalverarbeitung im ersten und zweiten Slice 18; 19 individuell, indem bei einem vorliegendem Ergebnis in diesem Slice die Taktversorgung am zugehörigen Eingangsregister und
30 damit auch die Signalverarbeitung unterbunden wird.

Bei der Ausgabe eines weiteren SIMD-Befehl auf dem SIMD-Steuer-Bus 12, z.B. nach Bereitstellung des letzten in einem der Slices erarbeiteten Ergebnisses, wird das jeweilige Bit der SSM-Registerbank 13 zurückgesetzt und alle Datenpfade beginnen die
35

nächste Signalverarbeitung indem sie an ihren Eingangsregistern die von der RFU 11 bereitgestellten Daten einlesen.

- Damit wird die Signalverarbeitung in den einzelnen Slices der
- 5 Datenpfade 14 vorteilhaft an die Erfordernisse paralleler Abarbeitung der SIMD-Befehle angepasst.

5 Verfahren und Anordnung zur leistungseffizienten Steuerung von Prozessoren

Bezugszeichenliste

- 1 Prozessor
 - 2 VLIW-Einheit (Very-Long-Instruction-Word)
 - 3 erste Gated-Clock-Zelle
 - 4 zweite Gated-Clock-Zelle
 - 5 AGU (Address-Generating-Unit)
 - 6 PCU (Process-Controlling-Unit)
 - 15 7 Taktversorgungsleitung
 - 8 Akkumulator
 - 9 weitere Verarbeitungseinheit (mit Gated-Clock-Zelle)
 - 10 Register der weiteren Verarbeitungseinheit
 - 11 RFU (Register-File-Einheit)
 - 20 12 SIMD-Steuer-Bus
 - 13 SSM-Registerbank (Single-Slice-Mode)
 - 14 Datenpfad
 - 15 SIMD-Datenpfad-Steuerleitung
 - 16 Vorsignalleitung
 - 25 17 VLIW-WAIT-Signallleitung
 - 18 erster Slice
 - 19 zweiter Slice
 - 20 dritte Gated-Clock-Zelle

5

**Verfahren und Anordnung zur leistungseffizienten Steuerung
von Prozessoren**

10

Patentansprüche

1. Verfahren zur funktionalen Steuerung des Programm- und/oder Datenflusses in digitalen Signalprozessoren und Prozessoren mit jeweils abgeschlossenen und voneinander getrennten Modulen zur Programm- und zur Datenflusskontrolle, die in parallelen Rechenwerken arbeiten, dadurch gekennzeichnet, dass infolge der von der PCU (6) umgesetzten SIMD Befehle die parallele Signalverarbeitung des Prozessors (1) in einem zum ersten und zweiten Slice (18); (19) jeweils zugehörigen Datenpfad DP (14) durch ein von einer SSM-Registerbank (13) ausgegebenen "Single-Slice-Halt"-Zustand individuell gesteuert wird, wobei die steuernde Wirkung des ausgegebenen "Single-Slice-Halt"-Zustandes dadurch erreicht wird, indem die für jeden Slice zugeordneten Bits der SSM-Registerbank (13) über die jeweilige erste und zweite Gated-Clock-Zelle (3); (4) die Register-Taktversorgung schalten und dadurch je nach dem Stand der anfallenden Signalverarbeitung in dem zum jeweiligen Slice zugehörigen DP (14) das zugeordnete Eingangsregister und/oder Akkumulator und/oder Pipeline-Steuerregister in seiner Funktion zwischenzeitlich gestoppt wird und diese Funktion erst durch den Wegfall des ausgegebenen "Single-Slice-Halt"-Zustandes infolge einer Umsetzung eines weiteren SIMD Befehls wieder freigegeben wird,

dass unabhängig vom ausgegebenen "Single-Slice-Halt"-Zustand die Register-File-Einheit (RFU) (11) und das Speicherzugriffsregister des Prozessors (1) in Funktion bleiben, und die SSM-Registerbank (13) der PCU (6) ist dabei jederzeit durch die PCU beschreibbar.

- 5
- 10
- 15
- 20
- 25
2. Verfahren zur funktionalen Steuerung des Programm- und/oder Datenflusses in digitalen Signalprozessoren und Prozessoren mit jeweils abgeschlossenen und voneinander getrennten Modulen zur Programm- und zur Datenflusskontrolle, die in parallelen Rechenwerken arbeiten, dadurch gekennzeichnet, dass die Taktversorgung für die VLIW-Einheit (2) durch eine softwarebedingte Zustandsausgabe aus dem Programmfluss des Prozessors (1) so gesteuert wird, dass dadurch Teilinstruktionsworte die in der VLIW-Einheit (2) aktuell vorliegen, in dieser anschließend für eine Mehrfachverwendung an den Funktionseinheiten bereitgestellt werden.
 3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass das Generieren von weiteren VILW in der VLIW-Einheit (2) dadurch unterbrochen wird, in dem der PCU (6) ein VLIW-WAIT-Kommando über eine Vorsignalleitung (16) angekündigt wird und im nächsten Takt dieses Kommando an die PCU (6) angelegt wird, wobei nachfolgend die PCU (6) mittels einer "VLIW-WAIT"-Signalleitung (17) und einer dritten Gated Clock-Zelle (20) die Taktversorgung für die VLIW-Einheit (2) schaltet.

1/1

